

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-173420

(43)Date of publication of application : 26.07.1991

(51)Int.Cl.

H01L 21/22
H01L 21/225
H01L 27/04

(21)Application number : 01-313722

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 01.12.1989

(72)Inventor : AOKI KENJI
AKAMINE TADAO
SAITO NAOTO

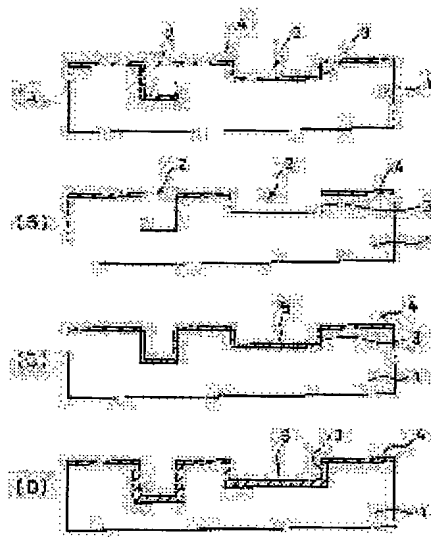
(54) IMPLANTATION OF IMPURITY IN SEMICONDUCTOR INNER WALL

(57)Abstract:

PURPOSE: To provide an impurity diffused layer along semiconductor inner walls uniformly and continuously by a method wherein an adsorption layer containing impurities provided on the semiconductor inner walls subjected to active treatment chemically to use the adsorption layer as a diffusion source.

CONSTITUTION: Recessed parts 2 are selectively provided in the surface of an Si substrate 1 by an RIE method. A mask is provided excluding the recessed parts 2, an inert film 4, such as an SiO₂ film or the like, on the surfaces of the inner walls of the recessed parts 2 is removed and active surfaces are made to expose. Subsequently, diborane gas is fed under a heating of the substrate and an impurity adsorption film 5 containing B is applied. Then, the substrate 1 is heated and the B is thermally diffused in the inner walls from the film 5.

According to the utilization of this method, the formation of a drain resistance element having a resistance layer along the inner walls, the formation of a capacitor element along the inner walls and the formation of a trench element isolation region can be attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-173420

⑮ Int. Cl.⁵

H 01 L 21/22
21/225
27/04

識別記号

V 7454-5F
M 7454-5F
R 7514-5F
C 7514-5F

庁内整理番号

⑬ 公開 平成3年(1991)7月26日

審査請求 未請求 請求項の数 5 (全7頁)

⑭ 発明の名称 半導体内壁に対する不純物の注入方法

⑯ 特 願 平1-313722

⑰ 出 願 平1(1989)12月1日

⑱ 発 明 者 青 木 健 二 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 発 明 者 赤 嶺 忠 男 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑳ 発 明 者 斎 藤 直 人 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

㉑ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

㉒ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

半導体内壁に対する不純物の注入方法

2. 特許請求の範囲

1. 半導体基板の表面に凹部を設け内壁を形成する第一工程と、

内壁の表面に存在する不活性被覆を除去し活性面を露出する第二工程と、

活性面に対して不純物成分を有する気体を供給し不純物成分元素あるいは不純物成分の化合物を吸着して不純物膜を形成する第三工程と、

半導体基板を加熱し不純物膜を構成する不純物を内壁中に拡散し活性化する第四工程とからなる不純物の注入方法。

2. 第三工程は、シリコンからなる半導体基板に形成された内壁に対して不純物成分ボロンを含む気体ジボランを基板加熱下供給する事によりボロン不純物膜を形成する工程である請求項1に記載の注入方法。

3. 請求項1に記載された注入方法により、内壁に沿って抵抗体層を形成するトレンチ抵抗素子の製造方法。

4. 請求項1に記載された注入方法により内壁に沿って一方の電極層を形成する工程と、該一方の電極層に沿って誘電体層を形成する工程と、誘電体層に沿って他方の電極層を形成する工程とからなるトレンチ容量素子の製造方法。

5. 請求項1に記載された注入方法により内壁に沿って高濃度不純物層を形成する工程と、該内壁を絶縁膜で埋める工程とからなるトレンチ素子分離領域の形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体の表面に設けられたトレンチ又は溝の内壁に対して不純物を一様且つ連続的に注入する方法に関する。

〔従来の技術〕

従来から半導体装置の集積度を向上させる一環として、半導体基板の表面にトレンチを設け、こ

のトレンチに対して半導体抵抗素子や半導体容量素子を形成する技術が知られている。あるいはこのトレンチを利用して素子分離領域を形成する方法が知られている。これらの素子あるいは分離領域を形成する為に、トレンチ内壁に対して不純物を拡散する必要がある。従来においては、かかる内壁に対する不純物の注入はイオンインプランテーションやいわゆるブリデポジションによって行なっていた。

〔発明が解決しようとする問題点〕

しかしながらイオンインプランテーションの場合には、注入すべき不純物のイオンを加速して打込む為、必然的に注入の方向性が生じる。従って、トレンチの内壁全面に亘って不純物を一様な濃度且つ一様な深度で注入する事ができないという問題点があった。又いわゆるブリデポジションを用いた場合には、トレンチ内壁の不活性被膜を介して不純物の拡散が行なわれる為、拡散濃度及び拡散深度を制御する事が困難であるという問題点があった。

程により、凹部2の内壁3の清浄化を行ない活性面を露出させる必要がある。この清浄化処理は半導体基板1を加熱状態に保持し高真空中に放置する事により行なわれる。この時水素ガス等の還元性気体を導入すれば清浄化が促進される。

第1図(C)に示す工程において、内壁3の露出した活性面に対して不純物成分例えばボロンを有する気体例えばジボランを供給し不純物成分元素又は不純物成分の化合物を吸着して不純物膜5を形成する。この不純物膜5の吸着処理は高真空中においてジボランガスを所定の蒸気圧で導入する事により行なわれる。不純物膜5は活性面に対してのみ実質的に選択的に吸着される。

最後に第1図(D)に示す工程において、半導体基板1を加熱し不純物膜5を構成する不純物例えばボロンを内壁3の内部に向かって拡散し活性化する。その結果、内壁3に沿って不純物拡散層6が形成される。この不純物拡散層6は吸着された不純物膜5の吸着量等を制御する事により所望の導電率及び不純物拡散濃度を有する。その結果、不

〔問題点を解決する為の手段〕

上述した従来の技術の問題点に鑑み、本発明はトレンチの内壁に対して一様且つ連続的に不純物を注入する事のできる方法を提供する事を目的とする。

第1図は本発明にかかる不純物注入方法の概念を説明する為の工程図である。第1図(A)に示す工程において、半導体基板1の表面に凹部2を設ける。凹部2は例えばトレンチであり内壁3を有している。ここでいう内壁3は凹部2の側壁及び底面壁を含む概念である。内壁3は不可避免的に不活性被膜4によって被覆されている。

第1図(B)に示す工程において、内壁3の表面に存在する不活性被膜を除去し活性面を露出する。半導体基板1がシリコンで構成されている場合には、この不活性被膜4はシリコンの酸化膜である。凹部2あるいはトレンチは通常反応性イオンエッチングにより形成されるが、反応性イオンエッチングの終了後、凹部2の内壁3は速かに不活性被膜により覆われる。従って第1図(B)に示す工

純物拡散層6は抵抗体層、電極層、あるいは電気的分離層として用いる事ができる。

〔作 用〕

次に第2図及び第3図を参照して本発明の作用を詳細に説明する。第2図は本発明にかかる不純物の注入方法を実施する為の注入装置を示すブロック図である。図示する様に、シリコン基板1は石英製のチャンバ12の内部中央付近に設置される。シリコン基板1にはあらかじめトレンチが設けられており且つトレンチの内壁以外の部分にはマスクが施されている。シリコン基板1の温度は赤外線ランプ加熱方式あるいは抵抗加熱方式を用いた加熱系13により制御されており、所定の温度に保つ事ができる。チャンバ12の内部はターボ分子ポンプを主排気ポンプとする複数のポンプから構成される高真空排気系14を用いて高真空中に排気する事が可能である。又チャンバ12の内部の真空度は圧力計15により常時モニタされている。シリコン基板1の搬送は、チャンバ12に対してゲートバルブ16aを介して接続されたロード室17と

チャンバ12との間で、ゲートバルブ16aを開いた状態で搬送機構18を用いて行なわれる。なおロード室17は、シリコン基板1のロード室17への出入れ時と搬送時を除いて、通常はゲートバルブ16bを開いた状態でロード室排気系19により高真空中に排気されている。チャンバ12にはガス導入制御系20を介してガス供給源21が接続されている。ガス供給源21は不純物の注入処理に必要な種々の原料気体を貯蔵する複数のガスボンベを内蔵している。ガス供給源21からチャンバ12へ導入されるガスの種類、導入量、導入時間等はガス導入制御系20によりコントロールされている。

次に第2図に示す注入装置を用いてシリコン基板1の表面内に形成された内壁に不純物を注入する工程を、ボロンをドーピングする場合を例にとって詳細に説明する。まず、シリコン基板1に形成されたトレンチの内壁を清浄化する処理を説明する。シリコン基板1はバックグランド圧力が 1×10^{-4} Pa以下に保持された真空チャンバ12の中央部にセットされる。そしてシリコン基板1を850℃に

保持し且つ水素ガスを、例えばチャンバ12の内部の圧力が 1.3×10^{-2} Paになる様な条件で所定時間導入する。これによりシリコン基板1の内壁に形成されていた自然酸化膜が除去され、化学的に活性化されたシリコン表面が露出する。続いて、活性化された内壁に対してボロンあるいはボロンを含む化合物の吸着層が形成される。即ち内壁表面の清浄化が完了した後、水素ガスの導入を停止し、基板温度を例えば800℃に設定する。その設定温度に到達し安定した後、チャンバ12内にボロンを含む化合物ガスであるジボラン(B_2H_6)を空素ガスを介して5%に希釈した原料ガスを、例えばチャンバ12の圧力が 1.3×10^{-2} Paとなる様な条件で一定時間導入する。この結果、ボロンあるいはボロンを含む化合物の吸着層がシリコン基板1の活性化された内壁に吸着される。この時、ボロンの吸着層あるいはボロンを含む化合物の吸着層の形成と同時に、ジボラン導入時の基板温度及びジボラン導入圧力で決まる一定の割合で、ボロンのバルク中への拡散も部分的に進行していると思わ

れる。続いて、シリコン基板1の加熱処理即ちアニールが行なわれる。ボロン不純物膜を内壁に吸着させた後、ジボランガスの導入を停止し、真空中で所定時間加熱を行なう。この時の基板温度は不純物吸着処理に用いられた基板温度より若干高めに設定する事が好ましい。このアニールを行なう事によりボロンの不純物膜を拡散源とした不純物拡散層が内壁に沿って形成されると同時に、拡散された不純物原子の活性化が行なわれる。本発明においては、ボロンの吸着量及びアニール条件(基板加熱温度と加熱時間)を制御する事によって、所望の不純物濃度及び拡散深度を有する不純物拡散層を得る事ができる。

第3図は上述した工程においてジボラン導入圧力をパラメータとした場合の、ドーピングされたボロンのピーク濃度のジボラン導入時間依存特性図である。第3図に示す様に、ジボラン導入圧力を大きくすればするほどボロンの吸着量が増加し注入されるボロンのピーク濃度も従って増加する。又ジボランガスの導入時間を長くすればするほど、

吸着されるボロンの量が増し、従って注入されるボロンのピーク濃度も増加する。この様に、ジボランの導入圧力及び導入時間を適当に設定する事により、不純物拡散層のボロンピーク濃度を調整する事が可能であり、その結果ボロン拡散層は様々の用途に用いる事ができる。

以上の説明から明らかな様に、この発明は化学的に活性化処理を施された半導体内壁に少なくとも半導体のドーパントとなる不純物元素を含んだ物質の吸着層を形成し、その吸着層を不純物拡散源として半導体の内壁中に不純物ドーピングを行なう所にその原理的特徴を有している。発明者の詳細な研究によれば、酸化膜で覆われた不活性面に対しては活性面に比べて、吸着層が殆んど形成されないかあるいは少なくとも1桁以上少ない量の吸着不純物しか残らない事が判明している。特に、シリコン表面にボロンを吸着させる場合には、あらかじめ自然酸化膜等の不活性被覆を除去しておく事が重要であると思われる。

シリコン半導体の内壁に対してP型の不純物を

注入する場合には、ジボラン以外の原料気体例えばトリメチルガリウム (TMG)、三塩化ホウ素 (BCl_3) 等に代表されるⅢ族元素の化合物を用いる事ができる。同様にシリコン半導体の内壁に対してN型の不純物をドーピングする場合には、原料気体としてアルシン (AsH_3)、三塩化リン (PCl_3)、五塩化アンチモン (SbCl_5)、ホスフィン (PH_3) 等を利用する事ができる。

又半導体基板内壁の清浄化処理を行なう為には、基板温度は、バックグランド圧力及び雰囲気ガスとの関連を含めて、800℃ないし1200℃の範囲に設定する事が好ましく、吸着層形成処理においては基板温度を400℃ないし950℃の範囲に設定する事が好ましい。

さらに、活性化された半導体基板の内壁に対して直接不純物吸着膜を形成する他に、下地処理としてエピタキシャル成長されたシリコン膜を用いる事も可能である。あるいは形成された不純物吸着膜の上にエピタキシャル成長法によりシリコン

単結晶膜を形成してもよい。さらには、不純物吸着膜及びシリコン単結晶膜を互いに積層させて不純物拡散層を形成してもよい。この様に、シリコン単結晶膜を介在させると不純物の活性化が促進されるという特徴がある。さらに、不純物吸着膜及びシリコン単結晶膜を積層させる事により、結果的に不純物拡散層の層厚を自由に制御する事ができる。さらに、不純物吸着膜の形成及び拡散を繰返す事により、所望の不純物濃度及び拡散深度を有する不純物拡散層を得る事もできる。

〔実施例〕

以下図面に従って本発明の好適な実施例を詳細に説明する。

第4図は本発明にかかる不純物の注入方法をいわずにトレンチ抵抗素子の製造に応用した実施例を示す工程図である。第4図(A)に示す工程において、シリコンからなる半導体基板41の表面にトレンチ42を設け、内壁43を形成する。トレンチ42の形成は例えば反応性イオンエッチングにより行なわれる。

為極めて良好な抵抗膜を提供している。

最後に第4図(B)に示す工程において、一対の電極膜47が形成され、いわゆるトレンチ抵抗素子が製造される。本実施例によれば、トレンチ内に抵抗素子を設ける事ができるので半導体装置の微細化が可能となる。トレンチ内壁への抵抗膜の形成を従来のデポジション技術で行なうと、段切れあるいは膜厚不均一等の問題が生じ実用上好ましくない。

第5図は本発明にかかる不純物注入方法をトレンチ抵抗素子の製造に応用した他の実施例を示す模式図である。図示する様に、本実施例にかかるトレンチ抵抗素子はシリコン半導体基板51の表面に形成された凹部52を有している。この凹部52は上方に比べて下方の部分が拡大しており、半導体基板51をより立体的に有効活用する事が可能である。凹部52の内壁に沿ってボロンの不純物拡散層53が形成されている。この凹部52の両側には絶縁膜54を介して一対の電極膜55が形成されている。この一対の電極膜55の各端部は不純物拡散層53に

第4図(B)に示す工程において、不純物を注入する領域以外の領域をマスクする為にトレンチ42の両側に沿って絶縁膜44を形成する。絶縁膜44はシリコン酸化膜あるいはシリコン窒化膜を化学気相成長法により堆積する事により形成される。

第4図(C)に示す工程において、内壁43及びシリコン基板41の露出された表面に対して清浄化処理を行ない、不活性膜を除去して活性面を露出させる。続いてこの活性面に対してジボランガスを供給し、選択的にボロンを含む不純物吸着膜45を形成する。この不純物吸着膜45の形成は化学的に行なわれる為、内壁43に沿って一様な厚みで堆積される。

第4図(D)に示す工程において、基板41の加熱処理が施され吸着膜45を構成する不純物ボロンは内壁43に沿って一様に拡散され、不純物拡散層46を形成する。この不純物拡散層46は P^+ 型であり、不純物ボロンの導入量を制御する事により、所望の抵抗値を有している。加えて不純物拡散層46は内壁43に沿って均一且つ連続的に形成されている

接合されており、トレンチ抵抗素子を構成する。

第6図は本発明にかかる不純物の注入方法をいわゆるトレンチ分離領域の形成に応用した実施例を示す工程図である。第6図(A)に示す工程において、シリコンからなる半導体基板61の表面に絶縁膜62を形成する。絶縁膜62はシリコン酸化膜あるいはシリコン窒化膜から構成されている。絶縁膜62の上にはレジスト膜63が塗布されている。レジスト膜63は所定のパターンに従ってエッチングされ、部分的に除去されている。この部分的に除去された部分には後に素子分離の為の領域が形成される。

第6図(B)に示す工程において、レジスト膜63を介して反応性イオンエッチングが行なわれトレンチ64が形成され、引き続き、硫酸過酸化水あるいは濃硝酸で処理する事で、レジスト膜63も除去される。

続いて第6図(C)に示す工程において、トレンチの内壁に対してのみ選択的にボロンの不純物吸着膜が形成される。この吸着膜65は前述した様に、

ジボランガスを基板61を加熱した状態で導入する事により行なわれる。

第6図(D)に示す工程において、基板61の加熱処理が行なわれ、不純物吸着膜65に含まれるボロンはトレンチの内壁に沿って半導体基板61に拡散され活性化される。その結果、高濃度のP型不純物拡散層66が形成される。この不純物拡散層66はトレンチを完全且つ一様に覆う様に形成されている。

最後に第6図(E)に示す工程において、トレンチ64の内部に酸化膜67が充填される。この結果、いわゆるトレンチ分離領域が形成されるのである。このトレンチ分離領域は充填された酸化膜67と不純物拡散層66の2層構造を有する。高濃度のP型不純物拡散層66が酸化膜67と半導体基板61の間に介在している為、素子領域の分離が完全に行なわれる。即ちこの不純物拡散層66は界面近傍の半導体層の反転を防止する機能を有し、トレンチ分離領域の閾値電圧を著しく高めるものである。

最後に第7図は本発明にかかる不純物の注入方

法をいわゆるトレンチ容量素子の製造に応用した実施例を示す断面図である。図示する様に、トレンチ容量素子はN型のシリコン半導体基板71に形成されている。基板71の表面にはトレンチが設けられており、トレンチの内壁に沿ってP⁺型の電極層72が形成されている。この電極層72は本発明にかかる不純物の注入方法により形成されたものであり、ボロンを含むP⁺型の不純物拡散層である。この電極層72に沿って誘電体層73が形成されている。誘電体層73は例えば二酸化シリコンを化学気相成長させる事により堆積される。又誘電体層73に沿って他方の電極層74が形成されている。この電極層74は例えばシリコン多結晶膜を堆積し且つ高濃度に不純物を注入する事により形成される。本実施例によれば、半導体基板の表面内部にトレンチ容量素子を容易に形成する事ができ、半導体装置の集積度を向上させる事ができる。

〔発明の効果〕

上述した様に、本発明によれば、半導体基板の表面内部に形成された内壁の清浄化処理、不純物

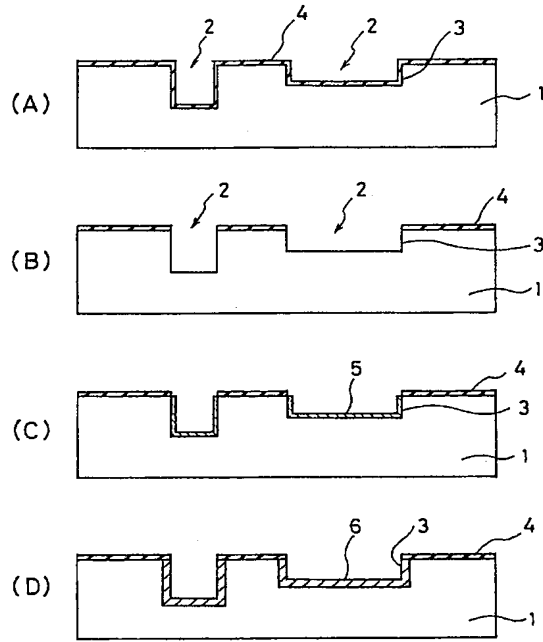
吸着処理、及び拡散処理の一連の工程により、内壁に沿って不純物拡散層を均一且つ連続的に形成する事ができるという効果がある。又、不純物拡散層に注入される不純物の濃度及び拡散深度を容易に制御する事が可能であり、この様にして得られた不純物拡散層は様々な用途に用いる事ができるという効果がある。

4. 図面の簡単な説明

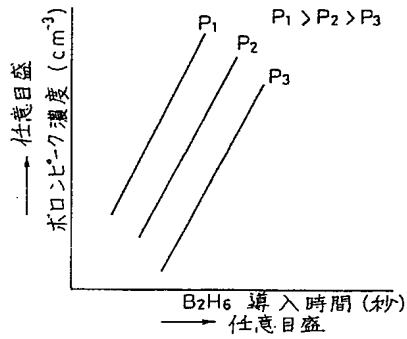
第1図は不純物注入方法の工程図、第2図は不純物注入に用いる装置のブロック図、第3図は注入されたボロンピーク濃度のグラフ、第4図はトレンチ抵抗素子の製造工程図、第5図はトレンチ抵抗素子の断面図、第6図はトレンチ分離領域の形成工程図、及び第7図はトレンチ容量素子の断面図である。

- | | |
|----------|----------|
| 1…半導体基板 | 2…凹部 |
| 3…内壁 | 4…不活性被膜 |
| 5…不純物吸着膜 | 6…不純物拡散層 |

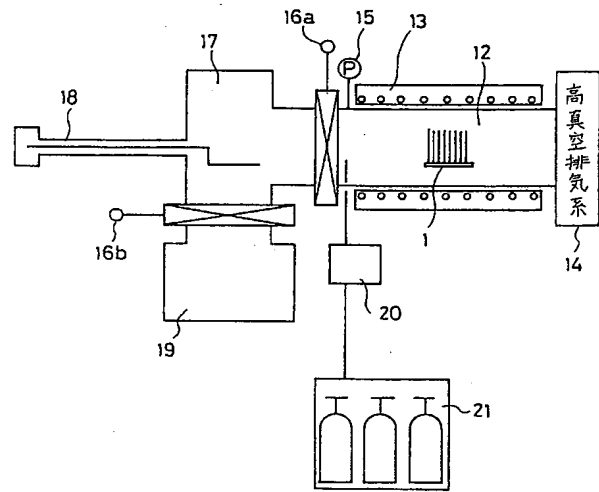
出願人 セイコー電子工業株式会社
代理人 弁理士 林 敬之助



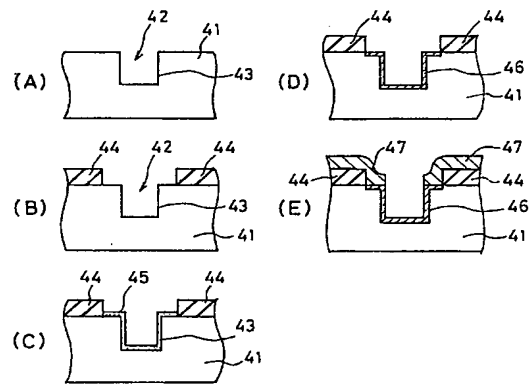
第 1 図



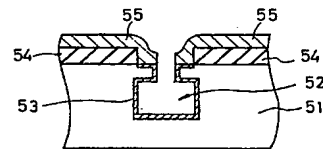
第 3 図



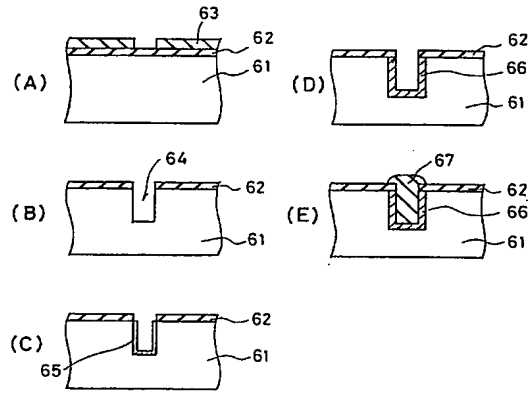
第 2 図



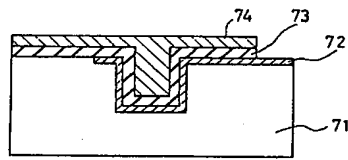
第 4 図



第 5 図



第 6 図



第 7 図

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成10年(1998)9月11日

【公開番号】特開平3-173420
【公開日】平成3年(1991)7月26日
【年通号数】公開特許公報3-1735
【出願番号】特願平1-313722
【国際特許分類第6版】

H01L 21/225
21/22
21/822
27/04

【FI】

H01L 21/225 M
21/22 V
27/04 R
C

手 続 補 正 書 (自願)

平成 8 年 11 月 25 日

特 許 庁 長 官 殿

1. 事件の表示

平成 1 年 特 許 願 第 3 1 3 7 2 2 号

2. 補正をする者

事件との関係 出願人

千葉県千葉市美浜区中瀬1丁目8番地 平成7年2月20日付
(232) セイコー電子工業株式会社 一括住所変更届提出済
代表取締役 伊 藤 潔

3. 代 理 人

〒270 千葉県松戸市千駄堀1493
(0628) 弁理士 林 敏 之 助

連絡先 知的財産部 担当: 仲村

電話: 043-211-1150

4. 補正により増加する請求項の数

6

5. 補正の対象

明細書(特許請求の範囲)

6. 補正の内容

(1)特許請求の範囲を別紙のとおり補正します。

別紙

特許請求の範囲

(1) 半導体基板の表面に凹部を設け内壁を形成する第一工程と、
前記内壁の表面に存在する不活性被覆を除去し活性面を露出する第二工程と、
前記活性面に不純物成分を有する気体を供給し不純物成分元素あるいは化合物
を吸着して不純物膜を形成する第三工程と、
前記半導体基板を加熱し前記不純物膜を構成する不純物を前記内壁に拡散する
第四工程とからなる不純物の注入方法。
(2) 前記第二工程と、前記第三工程とが真空チャンバで連続的に行う請求項1
記載の不純物の注入方法。
(3) 前記第二工程がバックグラウンド圧力 1×10^{-4} Pa以下でかつ、基板温
度 800°C 以上 1200°C 以下である請求項1記載の不純物の注入方法。
(4) 前記第三工程を前記半導体基板を 400°C から 950°C で行う請求項1記
載の不純物の注入方法。
(5) 前記気体がシロランである請求項1記載の不純物の注入方法。
(6) 半導体基板の表面に凹部を設け内壁を形成する第一工程と、
前記内壁の表面に存在する不活性被覆を除去して半導体活性表面を露出する第
二工程と、
前記半導体活性表面に半導体膜を形成する第三工程と、
前記半導体活性表面に不純物成分を有する気体を供給しその不純物成分の元素
あるいは化合物を吸着して前記半導体活性表面に化学的に不純物吸着層を形成す
る第四工程と、
前記不純物層を拡散源とした固相拡散を行い前記内壁の表面に拡散領域を形成
する第五工程とからなる不純物の注入方法。
(7) 半導体基板の表面に凹部を設け内壁を形成する第一工程と、
前記内壁の表面に存在する不活性被覆を除去して半導体活性表面を露出する第
二工程と、
前記半導体活性表面に不純物成分を有する気体を供給しその不純物成分の元素
あるいは化合物を吸着して前記半導体活性表面に化学的に不純物吸着層を形成す



(2)

3

る第三工程と、前記半導体活性表面に半導体膜を形成する第四工程と、前記不純物層を拡散源とした周層拡散を行い前記内壁の表面に拡散領域を形成する第五工程とからなる不純物の注入方法。(8) 半導体基板の表面に底部の幅が開口部の幅より広い凹部を設け内壁を形成する第一工程と、前記内壁の表面に存在する不活性被覆を除去して半導体活性表面を露出する第二工程と、前記半導体活性表面に不純物成分を有する気体を供給しその不純物成分の元素あるいは化合物を吸着して前記半導体活性表面に化学的に不純物吸着層を形成する第三工程と、前記不純物層を拡散源とした周層拡散を行い前記内壁の表面に拡散領域を形成する第四工程とからなる不純物の注入方法。(9) 半導体基板の表面に凹部を設け内壁を形成する第一工程と、前記内壁の表面に存在する不活性被覆を除去し活性面を露出する第二工程と、前記活性面に不純物成分を有する気体を供給し不純物成分元素あるいは化合物を吸着して不純物膜を形成する第三工程と、前記半導体基板を加熱し前記不純物膜を構成する不純物を前記内壁に拡散し抵抗体層を形成する第四工程とからなるトレンチ抵抗素子の製造方法。(10) 半導体基板の表面に凹部を設け内壁を形成する第一工程と、前記内壁の表面に存在する不活性被覆を除去し活性面を露出する第二工程と、前記活性面に不純物成分を有する気体を供給し不純物成分元素あるいは化合物を吸着して不純物膜を形成する第三工程と、前記半導体基板を加熱し前記不純物膜を構成する不純物を前記内壁に拡散し不純物拡散層を形成する第四工程と、前記内壁を酸化膜で埋める第五工程とからなるトレンチ素子分離領域の製造方法。(11) 半導体基板の表面に凹部を設け内壁を形成する第一工程と、前記内壁の表面に存在する不活性被覆を除去し活性面を露出する第二工程と、

4

前記活性面に不純物成分を有する気体を供給し不純物成分元素あるいは化合物を吸着して不純物膜を形成する第三工程と、前記半導体基板を加熱し前記不純物膜を構成する不純物を前記内壁に拡散し第一の拡散層を形成する第四工程と、前記拡散層に沿って隔壁体層を形成する第五工程と、前記隔壁体層に沿って第二の拡散層を形成する第六工程とからなるトレンチ容量素子の製造方法。

以 上

出願人 セイコー電子工業株式会社

代理人 弁理士 林 敬 之 助